

PATENT  
25611-000069/US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: TAE-HUN KIM                      Conf: Unknown  
Application No.: NEW                              Group: Unknown  
Filed: July 18, 2003                              Examiner: Unknown  
For: MULTI-CHIP PACKAGE

**PRIORITY LETTER**

July 18, 2003

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sirs:

Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).

<u>Application No.</u>	<u>Date Filed</u>	<u>Country</u>
2002-80363	December 12, 2002	Korea

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

HARNESS, DICKEY, & PIERCE, P.L.C.

By



John A. Castellano, Reg. 35,094  
P.O. Box 8910  
Reston, Virginia 20195  
(703) 668-8000

JAC/cah



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0080363  
Application Number PATENT-2002-0080363

출원년월일 : 2002년 12월 16일  
Date of Application DEC 16, 2002

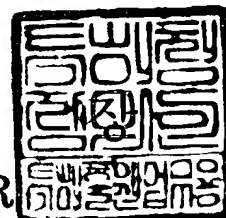
출원인 : 삼성전자 주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 01 월 02 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002. 12. 16
【국제특허분류】	H01L 23/48
【발명의 명칭】	멀티 칩 패키지
【발명의 영문명칭】	Multi chip package
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	윤동열
【대리인코드】	9-1998-000307-3
【포괄위임등록번호】	1999-005918-7
【대리인】	
【성명】	이선희
【대리인코드】	9-1998-000434-4
【포괄위임등록번호】	1999-025833-2
【발명자】	
【성명의 국문표기】	김태훈
【성명의 영문표기】	KIM, Tae Hun
【주민등록번호】	711111-1849711
【우편번호】	330-092
【주소】	충청남도 천안시 쌍용2동 청솔1단지 2차아파트 102동 1013호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 윤동열 (인) 대리인 이선희 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	10 면 10,000 원

【우선권 주장료】	0	건	0	원
【심사청구료】	8	항	365,000	원
【합계】	404,000		원	
【첨부서류】	1. 요약서·명세서(도면)_1통 2. 위임장[1999년 1월 21일 포 괄위임등록, 1999년 3월 15일자 복대리 인선임]_1통			

**【요약서】****【요약】**

본 발명은 리드프레임 패드 상하 면에 부착되는 2개의 반도체 칩을 포함하여 하나의 단위 반도체 칩 패키지로 구성되는 적층 칩 패키지에 관한 것으로서, 관통구멍이 형성된 링 형태의 리드프레임 패드와, 본딩패드들이 개방되도록 리드프레임 패드의 일면에 활성면이 접착 테이프로 의해 부착된 제 1반도체 칩과, 제 1반도체 칩 부착 면의 반대면에 활성면의 반대면이 접착제에 의해 부착된 제 2반도체 칩과, 리드프레임 패드 주변에 배치되는 내부리드와, 제 1반도체 칩의 본딩패드들과 그에 대응되는 내부리드들을 전기적으로 연결시키는 제 1본딩와이어와, 제 2반도체 칩의 본딩패드들과 그에 대응되는 내부리드들을 전기적으로 연결시키는 제 2본딩와이어와, 반도체 칩들과 내부리드 및 본딩와이어들을 봉지하는 패키지 몸체, 및 내부리드와 일체형으로 형성된 외부리드를 포함하며, 접착제가 리드프레임 패드의 관통구멍을 포함하여 리드프레임 패드와 제 2반도체 칩 사이의 제 1본딩와이어 부분을 덮는 것을 특징으로 한다. 이에 따르면, 제조 과정에서 리드프레임을 뒤집을 필요가 없어 반도체 칩과 본딩와이어의 손상을 방지할 수 있다. 또한, 리드프레임 두께만큼 와이어루프의 높이가 감소될 수 있어 박형 패키지 구현에 효과적이다.

**【대표도】**

도 2

**【색인어】**

멀티 칩 패키지, MCP, 리드프레임, 다이패드, 와이어본딩

## 【명세서】

## 【발명의 명칭】

멀티 칩 패키지{Multi chip package}

## 【도면의 간단한 설명】

도 1은 종래 기술에 의한 멀티 칩 패키지의 일 예를 나타낸 측단면도,

도 2와 도 3은 본 발명에 의한 멀티 칩 패키지의 제 1실시예를 나타낸 측단면도와 평단면도이고,

도 4a내지 도 8b는 본 발명에 따른 멀티 칩 패키지 제 1실시예의 제조 공정도이며,

도 9내지 도 16은 본 발명에 따른 멀티 칩 패키지의 제 2실시예의 제조 공정도이다.

## \* 도면의 주요 부분에 대한 부호의 설명 \*

10; 멀티 칩 패키지 11,13; 반도체 칩

12,14; 본딩패드 21; 리드프레임 패드

22; 관통구멍 23; 내부리드

25; 외부리드 27; 타이 바(tie-bar)

31; 접착 테이프 33; 접착제

41,43; 본딩와이어 51; 패키지 몸체

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <12> 본 발명은 반도체 칩 패키지에 관한 것으로서, 더욱 상세하게는 리드프레임 패드의 상하 면에 부착되는 2개의 반도체 칩을 포함하여 하나의 단위 반도체 칩 패키지로 구성되는 적층 칩 패키지에 관한 것이다.
- <13> 최근 반도체 산업의 발전과 사용자의 요구에 따라 전자 기기는 더욱 더 소형화 및 경량화 되고 있다. 이에 주로 적용되는 기술중의 하나로서 복수의 반도체 칩을 리드프레임 또는 서브스트레이트(substrate)에 탑재하여 하나의 패키지로 구현된 멀티 칩 패키지(MCP; Multi Chip Package)가 알려져 있다.
- <14> 일반적으로 멀티 칩 패키지는 크게 두 개의 반도체 소자를 적층시킨 구조와 병렬로 배치시킨 구조로 구분된다. 전자의 경우 공정이 복잡하고 한정된 두께에서 안정된 공정을 확보하기 어려운 단점이 있고, 후자의 경우 평면상에 두 개의 반도체 소자를 배열시키는 구조이므로 크기 감소에 의한 소형화의 장점을 얻기가 어려운 단점이 있다. 리드프레임이 적용된 멀티 칩 패키지의 예를 소개하기로 한다.
- <15> 도 1은 종래 기술에 의한 멀티 칩 패키지의 일 예를 나타낸 단면도이다.
- <16> 도 1에 도시된 종래의 멀티 칩 패키지(210)는 리드프레임 패드(221)의 상면과 하면에 제 1반도체 칩(211)과 제 2반도체 칩(213)이 접착제(231,235)에 의해 부착되어 있는 구조이다. 패키지 두께 감소를 위하여 리드프레임 패드(221)는 제 2반도체 칩(213)이 부착되는 상면이 소정 깊이로 파여져 있다. 제 1반도체 칩(211)과 제 2반도체 칩(213)은

모두 본딩와이어(241,243)에 의해 내부리드(223)와 와이어본딩(wire bonding)되어 있고, 제 1반도체 칩(211)과 제 2반도체 칩(213) 및 본딩와이어(241,243)와 그 접합 부분은 에폭시 성형 수지(Epoxy Molding Compound)로 형성되는 패키지 몸체(251)에 의해 봉지되어 외부환경으로부터 보호된다.

<17> 이와 같은 종래 기술에 의한 멀티 칩 패키지(210)는 하나의 반도체 칩을 포함하는 반도체 칩 패키지 두 개를 사용하는 것보다 실장 면적이나 다기능화 측면 등 여러 측면에서 유리하다. 그러나, 그 제조 과정에 있어서 제 1반도체 칩 부착 단계, 제 2반도체 칩 부착 단계, 1차 와이어본딩 단계, 및 2차 와이어본딩 단계가 순차적으로 진행되기 때문에 리드프레임을 뒤집는 작업이 반복적으로 이루어져야 한다. 따라서, 공정의 진행 중에 반도체 칩, 특히 제 1반도체 칩에 긁힘(scratch) 등의 칩 손상이 발생할 수 있고, 와이어본딩 장치의 공용이 불가능하며, 와이어본딩 이후의 공정에 있어서 제 1반도체 칩의 본딩와이어 손상이 발생할 수 있다. 또한, 제 1반도체 칩이 집적회로가 형성된 면이 아닌 그 반대면이 리드프레임 패드에 부착되기 때문에 와이어 루프(wire loop) 높이의 확보가 필요하여 패키지 두께 감소의 제약이 있다. 더욱이, 리드프레임 두께의 감소에 따른 칩 실장 부위에서의 리드프레임 패드 두께 감소에는 한계가 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<18> 따라서 본 발명의 목적은 리드프레임의 상면과 하면에 반도체 칩이 부착되도록 하면서도 제조 과정에서의 반도체 칩과 본딩와이어 손상을 방지할 수 있는 멀티 칩 패키지를 제공하는 데 있다.



## 【발명의 구성 및 작용】

<19> 이와 같은 목적을 달성하기 위한 본 발명에 따른 멀티 칩 패키지는, 관통구멍이 형성된 링 형태의 리드프레임 패드와, 활성면에 형성된 본딩패드들을 포함하며 리드프레임 패드로부터 본딩패드가 개방되도록 리드프레임 패드의 일면에 활성면이 접착 테이프에 의해 부착된 제 1반도체 칩과, 활성면에 형성된 본딩패드들을 포함하며 리드프레임 패드의 제 1반도체 칩 부착면의 반대면에 활성면의 반대면이 접착체에 의해 부착된 제 2반도체 칩과, 리드프레임 패드 주변에 배치되는 내부리드들과, 제 1반도체 칩의 본딩패드들과 그에 대응되는 내부리드들을 전기적으로 상호 연결시키는 제 1본딩와이어들과, 제 2반도체 칩의 본딩패드들과 그에 대응되는 내부리드들을 전기적으로 연결시키는 제 2본딩와이어들과, 제 1, 제 2반도체 칩과 내부리드들 및 본딩와이어들을 봉지하는 패키지 몸체, 및 내부리드들과 일체형으로 형성되어 실장에 적합한 형태로 절곡되어 있는 외부리드들을 포함하며, 접착체가 리드프레임 패드의 관통구멍을 포함하여 리드프레임 패드와 제 2반도체 칩 사이의 제 1본딩와이어 부분을 덮는 것을 특징으로 한다.

<20> 제 1반도체 칩으로는 칩 중앙 부분에 본딩패드가 형성된 센터형 패드 배치 구조의 반도체 칩이나, 칩 중앙 부분에 열을 이루며 형성된 본딩패드와 그 열을 가로지르는 방향으로 칩 가장자리에 형성된 본딩패드들을 모두 포함하는 혼합형 패드 배치 구조의 반도체 칩이 적용되는 것이 바람직하다.

<21> 그리고, 제 1반도체 칩은 본딩패드들이 리드프레임 패드의 관통구멍에 모두 개방되는 위치에 배치되도록 하거나, 혼합패드형 반도체 칩인 경우 칩 중앙 부분에 열을 이루며 형성된 본딩패드가 리드프레임 패드의 관통구멍에 의해 개방되는 위치에 배치되도록 하고 칩 가장자리에 형성된 본딩패드들이 리드프레임 패드의 외측에 배치되도록 한다.

- <22> 제 2반도체 칩은 칩 중앙 부분이나 칩 가장자리에 형성된 것을 모두 사용할 수 있으나 본딩패드가 칩 가장자리에 형성된 반도체 칩인 것이 바람직하다. 접착제로는 절연성 에폭시 수지가 사용될 수 있다.
- <23> 이하 첨부 도면을 참조하여 본 발명에 따른 멀티 칩 패키지를 보다 상세하게 설명하고자 한다.
- <24> 도 2와 도 3은 본 발명에 의한 멀티 칩 패키지의 제 1실시예를 나타낸 측단면도와 평단면도이다.
- <25> 도 2와 도 3에 도시된 본 발명에 의한 멀티 칩 패키지(10)는, 리드프레임 패드(21)의 하면과 상면에 제 1반도체 칩(11)과 제 2반도체 칩(13)이 부착되어 있고, 그 반도체 칩들(11, 13)과 리드프레임 패드(21)의 주변에 배치된 내부리드들(23)이 제 1, 2 본딩와이어들(41, 43)에 의해 상호 전기적인 연결이 이루어지는 구조이다.
- <26> 리드프레임 패드(21)는 내측 영역에 관통구멍(22)이 형성된 사각 링의 형태로서, 리드프레임 패드(21)와 관통구멍(22)의 크기는 리드프레임 패드(21) 하면에 실장될 제 1반도체 칩(11)의 크기 및 본딩패드들(12)의 배치 구조를 고려하여 결정된다. 여기서, 제 1반도체 칩(11)은 마주보는 칩 가장자리에 각각 1열씩 그리고 그 열과 교차하는 방향으로 칩 중앙에 2열로 형성된 본딩패드들(12)을 포함하는 혼합형 패드 배치 구조를 갖고, 제 2반도체 칩(13)은 본딩패드들(14)이 칩 가장자리에 배열되어 있는 에지형 패드 배치 구조를 가지며, 제 1반도체 칩(11)과 제 2반도체 칩(13)은 모두 리드프레임 패드(21)의 크기보다 크다.

<27> 제 1반도체 칩(11)은 본딩패드들(12)이 형성된 활성면이 본딩패드들(12)이 관통구멍(22)의 위치에 배치되도록 리드프레임 패드(21)의 하면에 부착된다. 이때 사용되는 접착 수단은 폴리이미드 테이프(polyimide)와 같은 접착 테이프(31)이다. 바람직하게는 접착 테이프(31)도 리드프레임 패드(21)와 마찬가지로 링 형태를 갖도록 하여 접착제(35)가 도포되는 과정에서 제 1반도체 칩(11)으로부터 벗어나지 않도록 한다.

<28> 제 2반도체 칩(13)은 리드프레임 패드(21)의 상면에 본딩패드들(14)이 형성된 활성면의 반대면이 부착된다. 이때 사용되는 접착 수단으로는 절연성의 에폭시 수지 접착제(35)가 사용될 수 있다. 접착제(35)는 리드프레임 패드(21)와 제 1반도체 칩(11)의 사이와 리드프레임 패드(21)의 관통구멍(22) 및 리드프레임 패드(21)와 제 2반도체 칩(13)의 사이에 형성된다. 이에 따라, 제 1반도체 칩(11)과 내부리드들(23)을 상호 연결하는 제 1본딩와이어들(41)은 제 2반도체 칩(13)의 하부에 위치한 부분, 특히 리드프레임 패드(21)의 상부에 위치한 부분들이 접착제(35)로 덮여진다.

<29> 제 1반도체 칩(11)과 제 2반도체 칩(13) 및 본딩와이어들(41,43)은 에폭시 성형 수지(Epoxy Molding Compound)로 형성되는 패키지 몸체(51)에 의해 봉지되어 물리적 및 화학적인 외부환경으로부터 보호되어 동작에 대한 신뢰성이 확보된다. 내부리드들(23)과 일체형으로 형성되는 외부리드들(25)은 패키지 몸체(51)로부터 돌출되어 실장에 적합한 형태로 리드 성형(forming)된다.

<30> 전술한 제 1실시예에서와 같이 본 발명에 따른 멀티 칩 패키지는, 제 1반도체 칩과 제 2반도체 칩이 동일 방향을 향하기 때문에 칩 부착 및 와이어본딩이 리드프레임을 뒤집는 작업 없이 한 방향에서 이루어질 수 있다. 리드프레임 패드의 관통구멍을 경유하는 본딩와이어들은 절연성 접착제로 덮여져 리드프레임 패드와 그 상부에 부착되는 반도체

칩으로부터 전기적으로 격리되며 물리적으로 보호된다. 전술한 본 발명에 따른 멀티 칩 패키지는 다음과 같은 공정에 의해 제조될 수 있다.

- <31> 도 4a내지 도 8b는 본 발명에 따른 멀티 칩 패키지 제 1실시예의 제조 공정도이다.
- <32> 먼저, 도 4a와 도 4b에 도시된 바와 같이 사각 링의 형태의 리드프레임 패드(21)의 하면에 제 1반도체 칩(11)을 접착 테이프(31)로 부착시킨다. 여기서, 제 1반도체 칩(11)은 혼합형 패드 배치 구조를 갖는 형태로서 본딩패드들(12a, 12b)이 모두 리드프레임 패드(21)의 관통구멍(22)에 의해 상부로 개방되도록 하여 본딩패드들(12)이 형성된 활성면이 부착된다. 접착 테이프(31)로는 폴리이미드 테이프가 사용될 수 있다. 참조부호 27은 리드프레임 패드(21)를 지지하는 타이 바(tie-bar)이다
- <33> 다음으로, 도 5a와 도 5b에 도시된 바와 같이 제 1반도체 칩(11)의 본딩패드들(12a, 12b)과 그에 대응되는 내부리드(23)들을 본딩와이어(41)로 연결시키는 1차 와이어 본딩을 진행한다. 본딩와이어(41)들은 관통구멍(22)을 경유함으로써 와이어 루프(wire loop) 높이가 리드프레임 두께만큼 낮아질 수 있다.
- <34> 다음으로, 도 6a와 도 6b에 도시된 바와 같이 리드프레임 패드(21)의 관통구멍(22)과 제 1반도체 칩(11)과 리드프레임 패드(21) 사이 및 리드프레임 패드(21)의 상부에서 소정 부분의 제 1본딩와이어(31)를 덮도록 절연성의 접착제(35)를 도포시킨다.
- <35> 다음으로, 도 7a와 도 7b에 도시된 바와 같이 제 2반도체 칩(13)을 리드프레임 패드(21)에 부착시킨다. 제 2반도체 칩(13)은 에지형 패드 배치 구조를 갖는 반도체 칩으로서 본딩패드들(14)이 형성된 활성면의 반대면이 부착에 이용된다.

<36> 다음으로, 도 8a와 도 8b에 도시된 바와 같이 제 2반도체 칩(13)의 본딩패드들(14)과 그에 대응되는 내부리드들(23)을 각각 상호 연결시키는 2차 와이어 본딩을 진행한다. 제 2본딩와이어(43)에 의해 제 2반도체 칩(13)과 내부리드들(23)이 전기적으로 연결된다.

<37> 도 2와 도 3을 참조하면, 다음으로 패키지 몸체(51)를 형성하는 몰딩(molding) 공정을 진행한다. 에폭시 성형 수지로 반도체 칩들(11, 13)과 내부리드들(23) 및 본딩와이어들(41, 45)을 봉지하는 패키지 몸체(51)를 형성하고, 절단/절곡(trim/form) 공정을 진행하여 타이 바(27)를 제거하고 내부리드(23)와 일체형으로 형성되어 패키지 몸체의 외부로 돌출되는 외부리드들(25)을 실장에 적합한 형태로 성형한다.

<38> 한편, 전술한 제 실시예로서 제 1반도체 칩의 본딩패드들이 모두 리드프레임 패드의 관통구멍에 개방되는 멀티 칩 패키지를 소개하였으나 본 발명의 멀티 칩 패키지는 이에 한정되지 않고 다양한 실시예를 가질 수 있다. 예를 들어, 제 1반도체 칩으로서 센터형 패드 배치 구조나 에지형 패드 배치 구조 및 다양한 형태의 혼합형 패드 배치 구조의 반도체 칩이 적용될 수 있으며, 리드프레임 패드와 제 1반도체 칩의 결합 구조도 다양한 형태를 가질 수 있다. 다른 실시예를 제조 공정과 함께 소개하기로 한다.

<39> 도 9내지 도 16은 본 발명에 따른 멀티 칩 패키지의 제 2실시예의 제조 공정도이다.

<40> 먼저 도 9에 도시된 바와 같이 사각 링 형태의 리드프레임 패드(121)의 하면에 제 1반도체 칩(111)의 활성면이 접착 테이프(131)에 의해 부착된다. 여기서, 제 1반도체 칩(111)은 혼합형 패드 배치 구조를 갖는 반도체 칩으로서 리드프레임 패드(121)의 크기보다 크다. 제 1반도체 칩(11)은 칩 가장자리의 본딩패드들(112a)이 리드프레임 패드

(121)의 외측에 배치되며, 칩 중앙의 본딩패드들(112b)이 리드프레임 패드(121)의 관통구멍(122)에 의해 상부로 개방되도록 부착된다. 접착 테이프(131)로는 폴리이미드 테이프가 사용될 수 있다. 참조부호 127은 리드프레임 패드(121)를 지지하는 타이 바(tie-bar)이다.

<41> 다음으로, 도 10에 도시된 바와 같이 제 1반도체 칩(111)의 본딩패드들(112a, 112b)과 그에 대응되는 내부리드들(123)을 제 1본딩와이어(141)로 상호 연결시키는 1차 와이어본딩을 진행한다. 칩 중앙에 배치된 본딩패드들(112b)은 관통구멍(122)을 경유하며 칩 가장자리에 배치된 본딩패드들(112a)들은 관통구멍(122)을 경유하지 않고 직접 와이어본딩이 이루어진다. 제 1본딩와이어(141)들은 리드프레임 패드(121) 하부에서부터 와이어본딩이 이루어질 수 있어 리드프레임 패드(121) 두께만큼 와이어루프 높이가 낮아질 수 있다.

<42> 다음으로, 도 11에 도시된 바와 같이 리드프레임 패드(121)의 관통구멍(122)과 제 1반도체 칩(111)과 리드프레임 패드(121) 사이 및 리드프레임 패드(121)의 상부에서 소정 부분의 제 1본딩와이어(131)를 덮도록 절연성의 접착제(35)를 도포시킨다.

<43> 다음으로, 도 12에 도시된 바와 같이 제 2반도체 칩(113)을 리드프레임 패드(121)에 부착시킨다. 제 2반도체 칩(113)은 에지형 패드 배치 구조를 갖는 반도체 칩으로서 본딩패드들(114)이 형성된 활성면의 반대면이 부착에 이용된다. 여기서, 제 2반도체 칩(113)은 리드프레임 패드(121)의 크기보다 작은 것을 소개하였으나 도 15에서와 같이 리드프레임 패드(121)의 크기보다 큰 제 2반도체 칩(115)을 부착시킬 수도 있다.

<44> 다음으로, 도 13에 도시된 바와 같이 제 2반도체 칩(113)의 본딩패드들(114)과 그에 대응되는 내부리드들(123)을 각각 상호 연결시키는 2차 와이어 본딩을 진행한다. 제

2본딩와이어(143)에 의해 제 2반도체 칩(113)과 내부리드들(123)이 전기적으로 상호 연결된다. 도 16에는 제 2반도체 칩(115)의 크기가 리드프레임 패드(121)의 크기보다 큰 경우의 와이어본딩을 나타낸다.

<45> 다음으로, 도 14에 도시된 바와 같이 패키지 몸체(151)를 형성하는 몰딩(molding) 공정을 진행하여 반도체 칩들(111, 113 또는 111, 115)과 내부리드들(123) 및 본딩와이어들(141, 143, 145)을 봉지하는 패키지 몸체를 형성하고, 절단/절곡 공정을 진행하여 타이바(127)를 제거하고 내부리드(123)와 일체형으로 형성되어 패키지 몸체(151)의 외부로 돌출되는 외부리드들(125)을 실장에 적합한 형태로 성형한다.

#### 【발명의 효과】

<46> 이상과 같은 본 발명에 의한 멀티 칩 패키지에 따르면, 리드프레임 패드의 상하면에 동일한 방향을 향하도록 반도체 칩들이 부착되어 제조 과정에서 리드프레임을 뒤집을 필요가 없어 반도체 칩과 본딩와이어의 손상을 방지할 수 있다. 또한, 리드프레임 두께만큼 와이어루프의 높이가 감소될 수 있으며 특히 리드프레임 두께 감소에 대응할 수 있어 박형 패키지 구현에 효과적이다.

## 【특허청구범위】

## 【청구항 1】

관통구멍이 형성된 링 형태의 리드프레임 패드와;

활성면에 형성된 본딩패드들을 포함하며 상기 리드프레임 패드로부터 상기 본딩패드들이 개방되도록 리드프레임 패드의 일면에 활성면이 접착 테이프에 의해 부착된 제 1 반도체 칩과;

활성면에 형성된 본딩패드들을 포함하며 상기 리드프레임 패드의 상기 제 1 반도체 칩 부착면의 반대면에 활성면의 반대면이 접착체에 의해 부착된 제 2 반도체 칩과;

상기 리드프레임 패드 주변에 배치되는 내부리드들과;

상기 제 1 반도체 칩의 본딩패드들과 그에 대응되는 상기 내부리드들을 전기적으로 상호 연결시키는 제 1 본딩와이어들과;

상기 제 2 반도체 칩의 본딩패드들과 그에 대응되는 상기 내부리드들을 전기적으로 연결시키는 제 2 본딩와이어들과;

상기 제 1, 제 2 반도체 칩과 상기 내부리드들; 및

상기 제 1, 제 2 본딩와이어들을 봉지하는 패키지 몸체, 및 상기 내부리드들과 일체형으로 형성되어 실장에 적합한 형태로 절곡되어 있는 외부리드들;

을 포함하며,

상기 접착제가 상기 리드프레임 패드의 관통구멍을 포함하여 상기 리드프레임 패드와 상기 제 2 반도체 칩 사이의 상기 제 1 본딩와이어 부분을 덮는 것을 특징으로 하는 멀티 칩 패키지.



**【청구항 2】**

제 1항에 있어서, 상기 제 1반도체 칩은 칩 중앙 부분에 열을 이루며 형성된 본딩 패드들과 그 열을 가로지르는 방향으로 마주보는 칩 가장자리에 형성된 본딩패드들을 포함하는 혼합형 패드 배치 구조의 반도체 칩인 것을 특징으로 하는 멀티 칩 패키지.

**【청구항 3】**

제 2항에 있어서, 상기 제 1반도체 칩은 상기 본딩패드들이 모두 상기 리드프레임 패드의 관통구멍을 통하여 개방되는 위치에 배치되어 있는 것을 특징으로 하는 멀티 칩 패키지.

**【청구항 4】**

제 2항에 있어서, 상기 제 1반도체 칩은 상기 칩 중앙 부분에 열을 이루며 형성된 본딩패드들이 상기 리드프레임 패드의 관통구멍에 의해 개방되는 위치에 배치되어 있고 칩 가장자리에 형성된 본딩패드들이 상기 리드프레임 패드의 외측에 배치되어 있는 것을 특징으로 하는 멀티 칩 패키지.

**【청구항 5】**

제 1항에 있어서, 상기 제 2반도체 칩은 본딩패드들이 칩 가장자리에 형성된 반도체 칩인 것을 특징으로 하는 멀티 칩 패키지.

**【청구항 6】**

제 1항에 있어서, 상기 접착제는 절연성 에폭시 수지인 것을 특징으로 하는 멀티 칩 패키지.

**【청구항 7】**

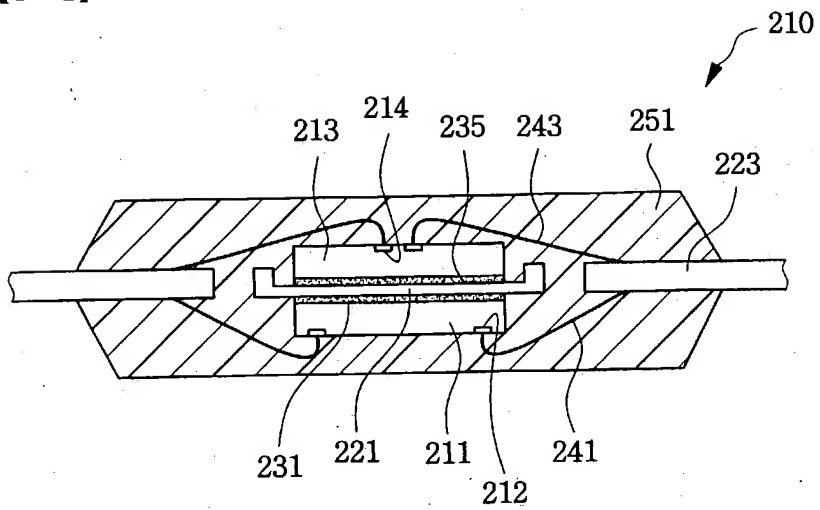
제 1항에 있어서, 상기 리드프레임 패드는 상기 제 1반도체 칩보다 크기가 작은 것을 특징으로 하는 멀티 칩 패키지.

**【청구항 8】**

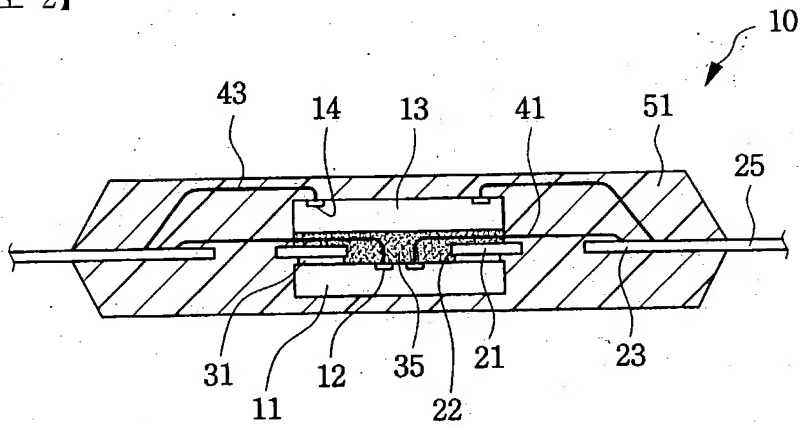
제 1항에 있어서, 상기 제 1반도체 칩은 칩 중앙 부분에 본딩패드가 형성된 반도체 칩인 것을 특징으로 하는 멀티 칩 패키지.

【도면】

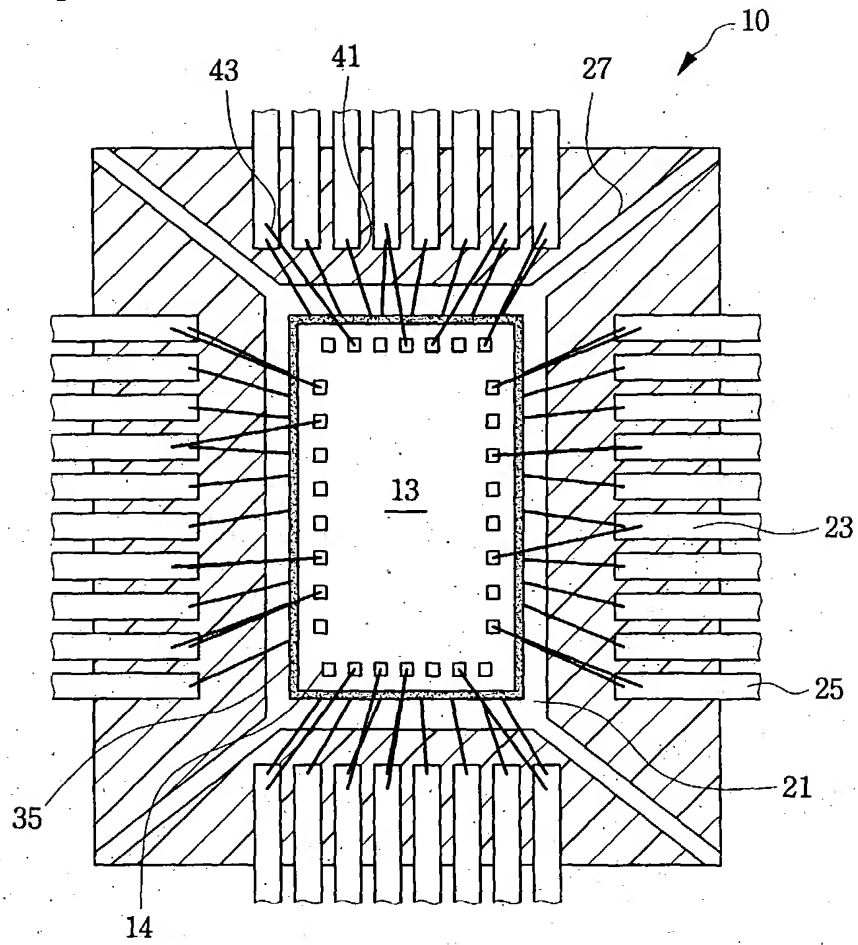
【도 1】



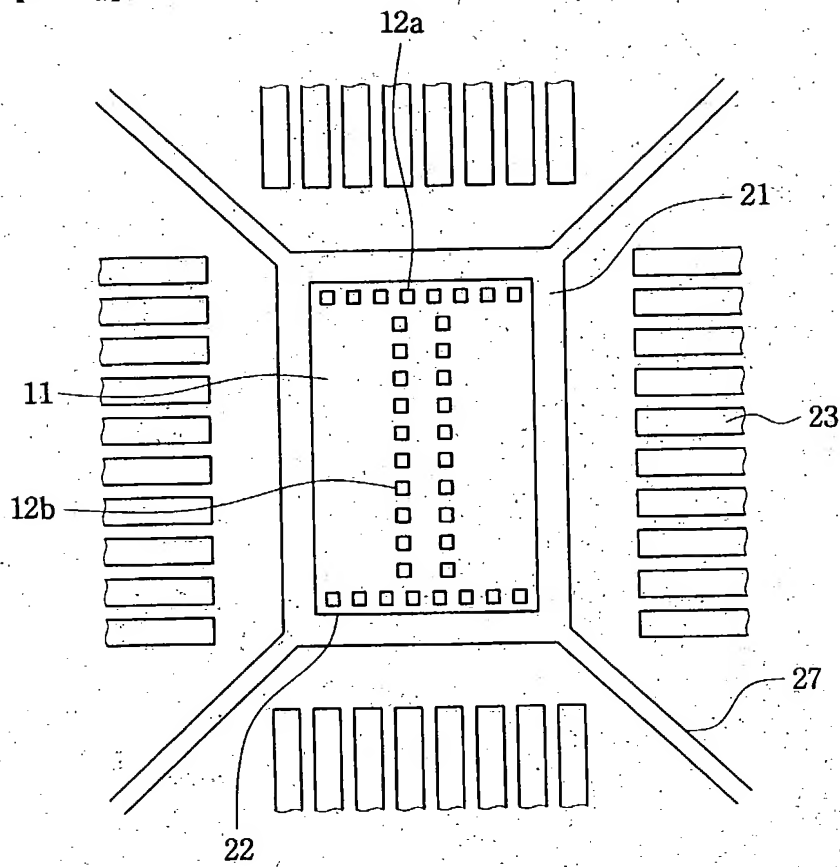
【도 2】



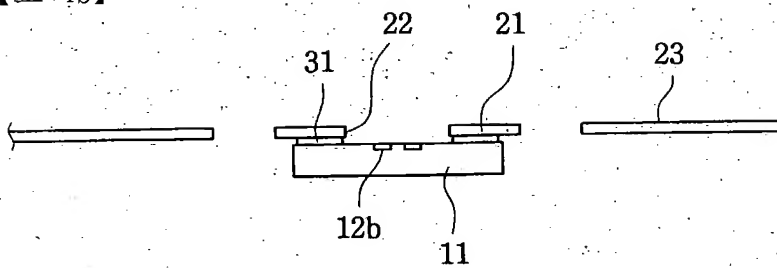
【도 3】



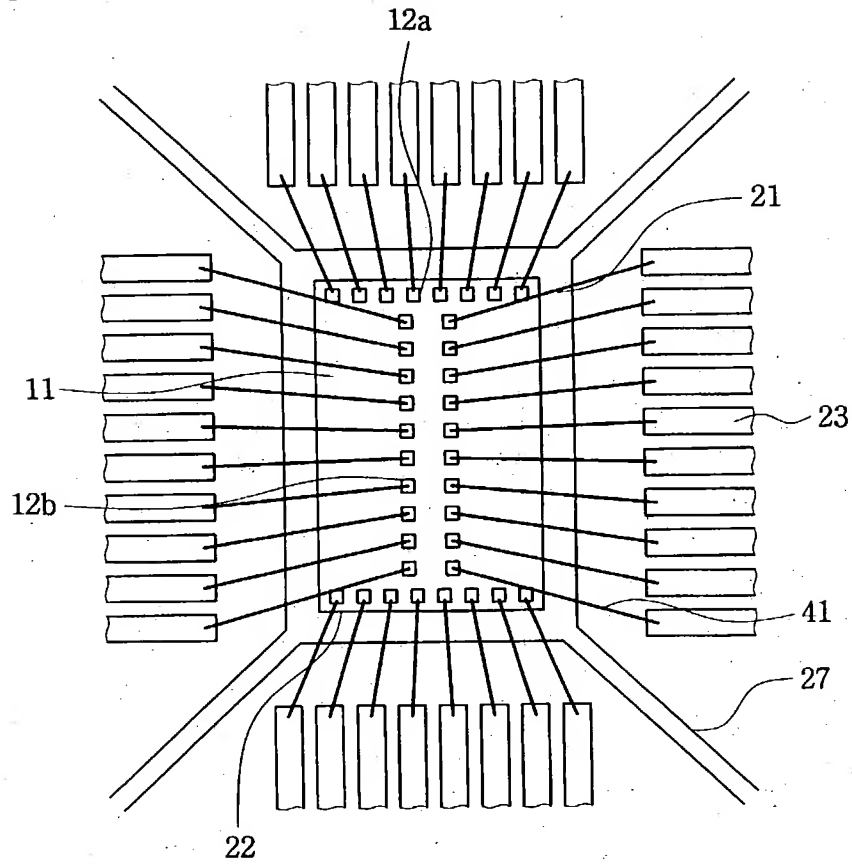
【도 4a】



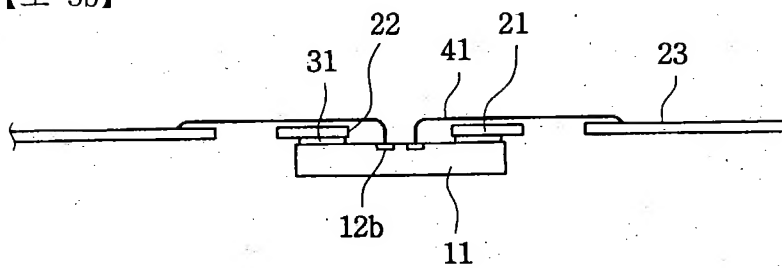
【도 4b】



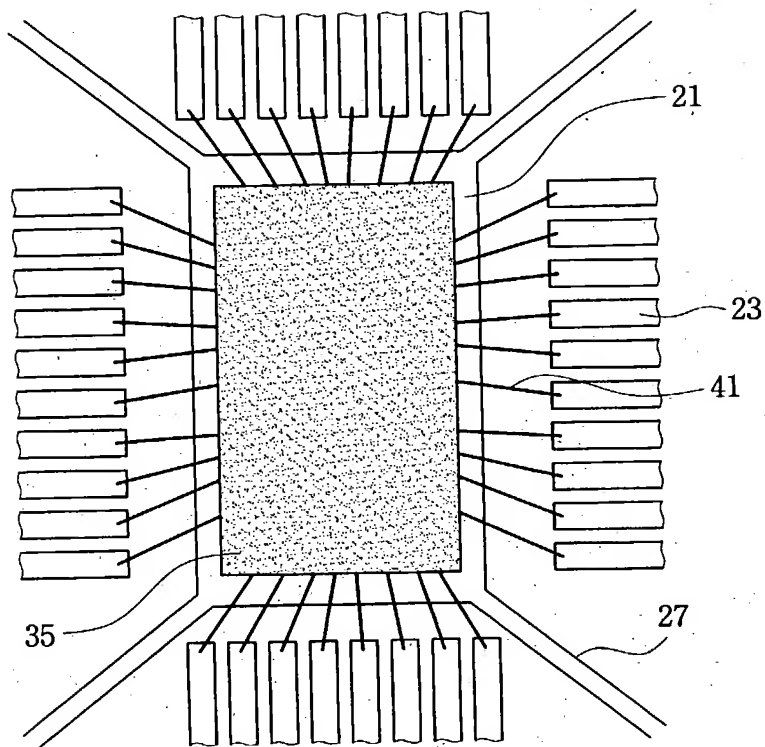
【도 5a】



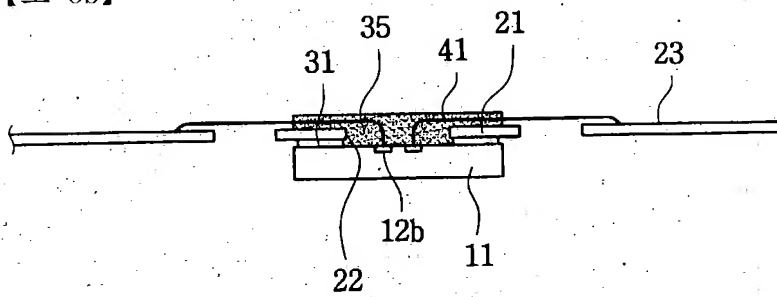
【도 5b】



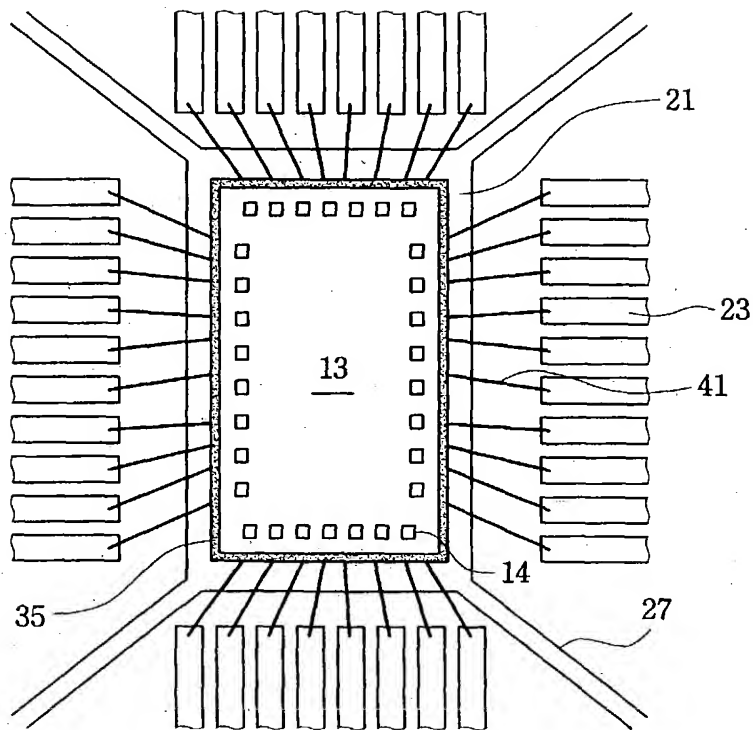
【도 6a】



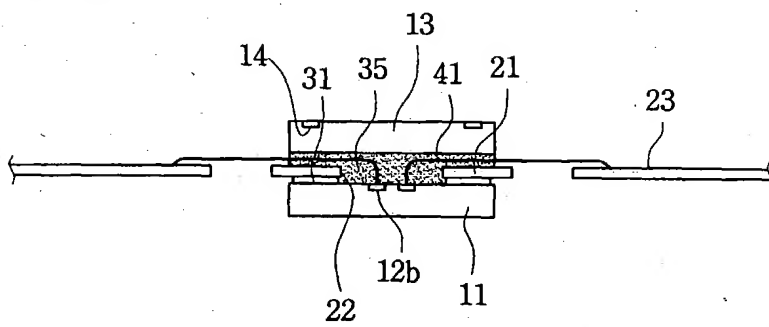
【도 6b】



【도 7a】

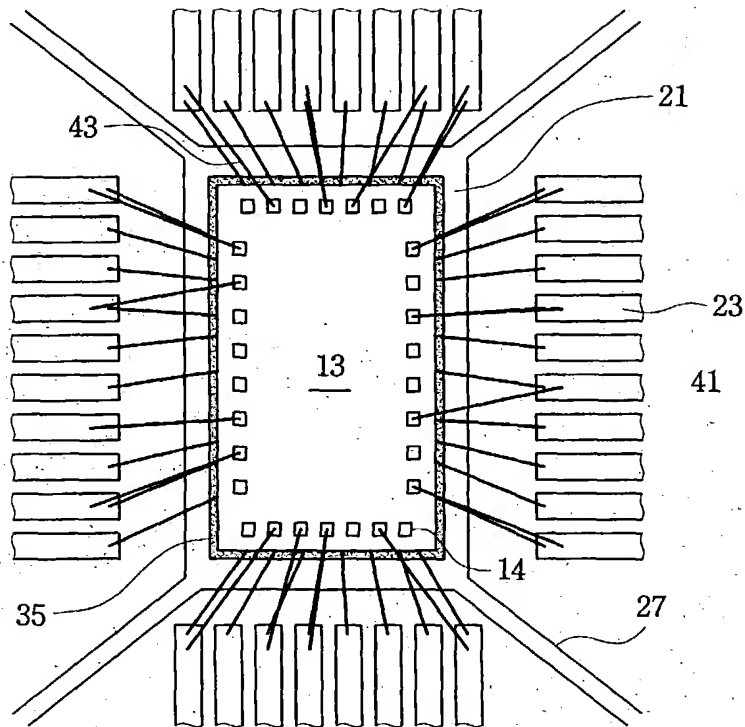


【도 7b】

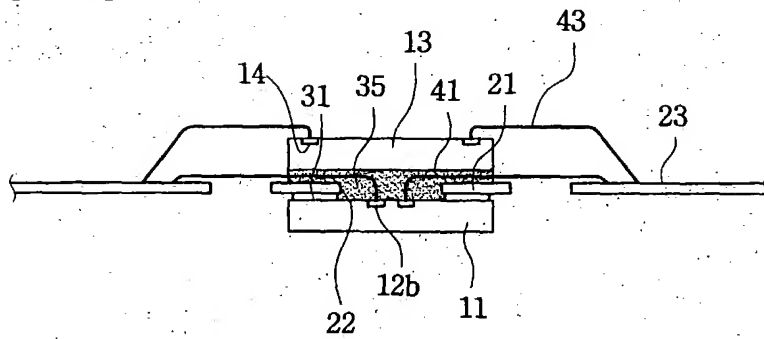




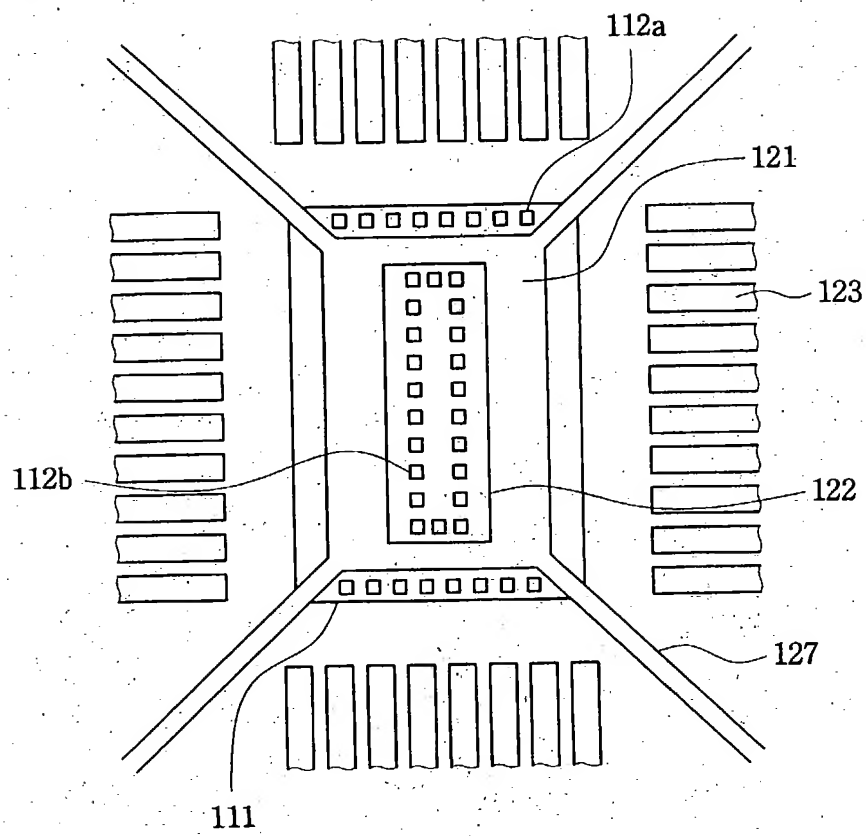
【도 8a】



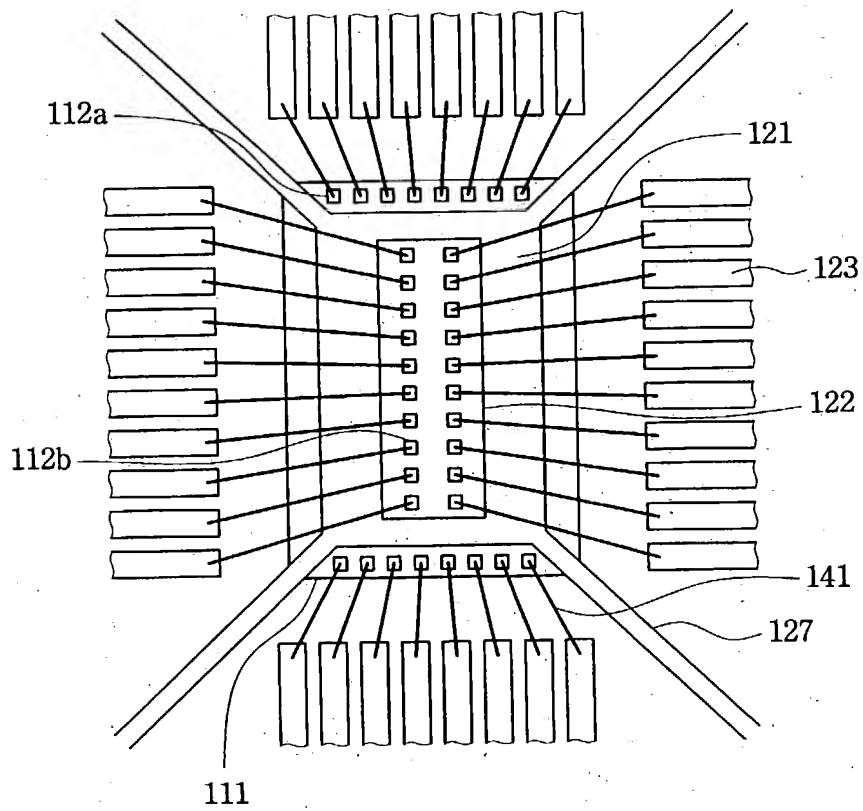
【도 8b】



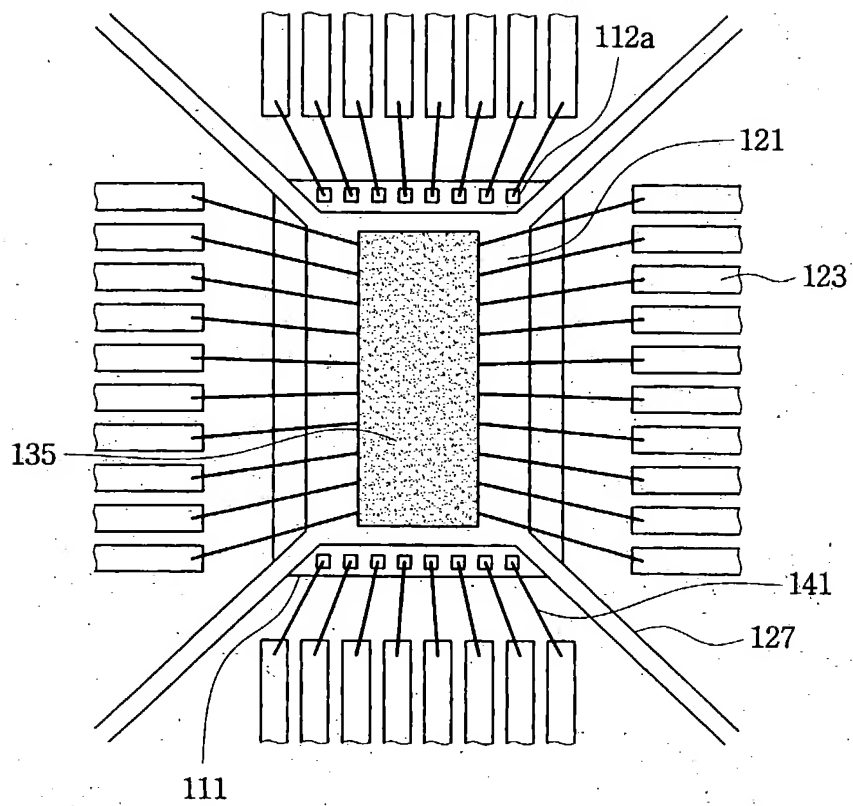
【도 9】



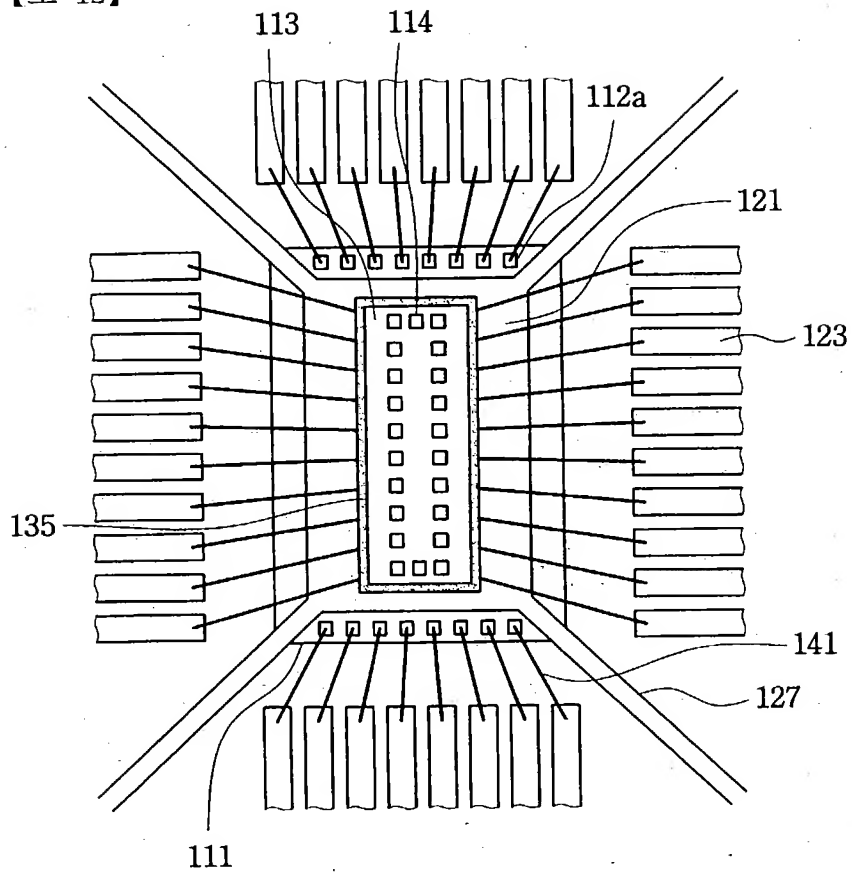
【도 10】



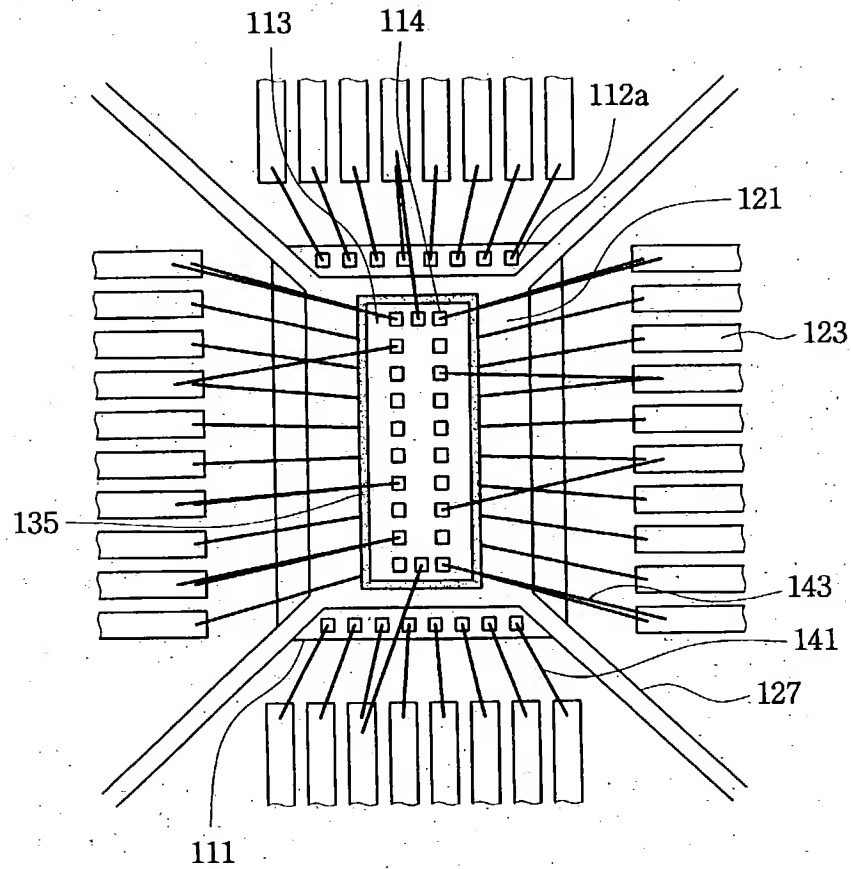
【도 11】



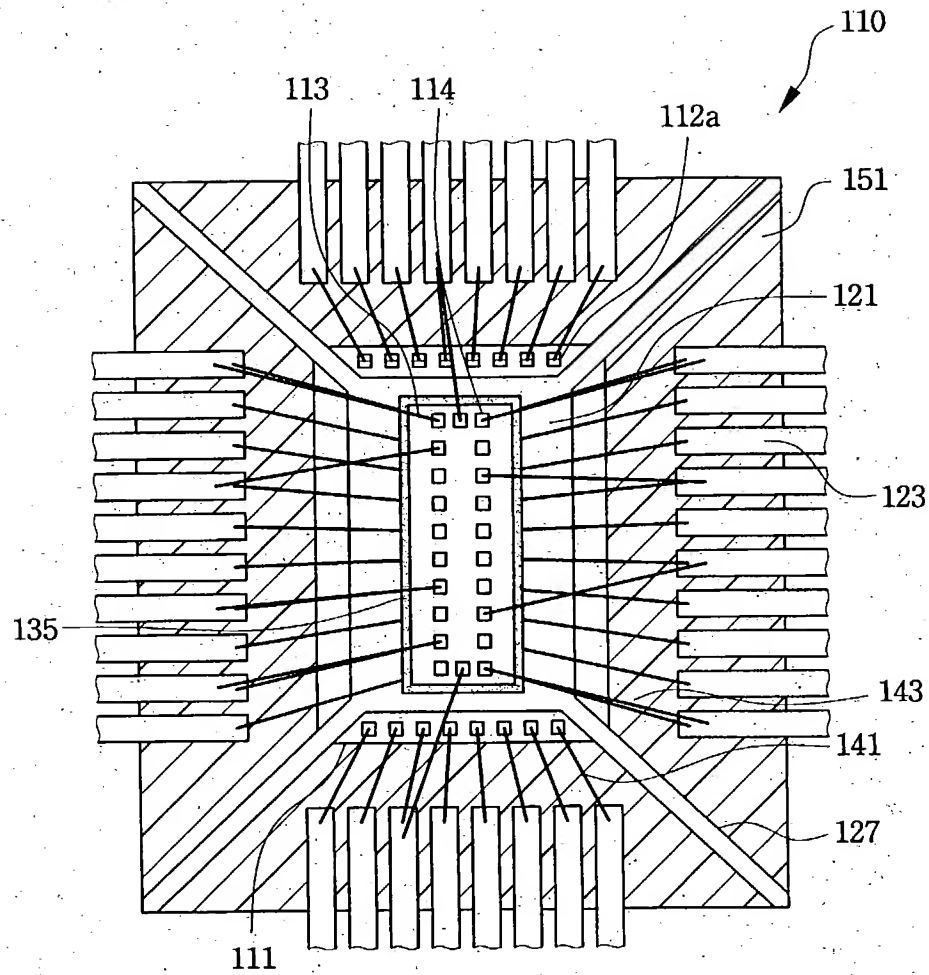
【도 12】



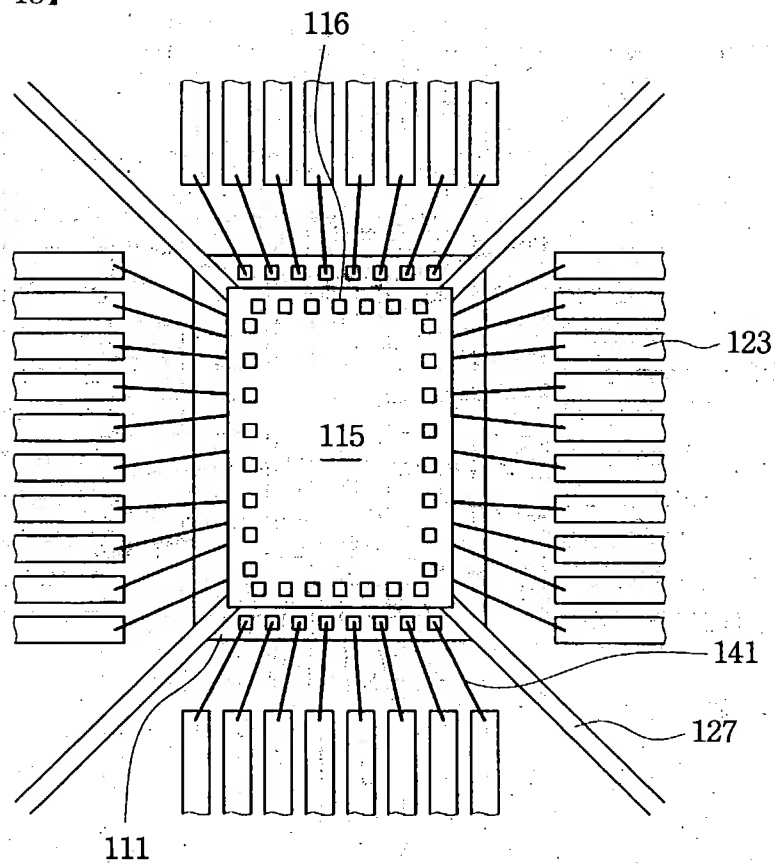
【도 13】



【도 14】



【도 15】





【도 16】

